

Attorney's Docket No. 564071207

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Hideki Horii et al;
Application No.: 10/780,246
Filed: February 17, 2004
For: PHASE CHANGEABLE MEMORY DEVICE STRUCTURES AND RELATED METHODS

Date: March 16, 2004

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

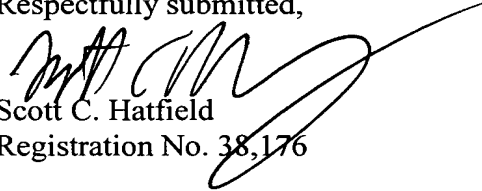
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 U.S.C. § 119, enclosed is a certified copy of Korean priority Application No. 2003-17694 filed March 21, 2003.

If any extension of time for the accompanying response or submission is required, Applicant requests that this be considered a petition therefor. No fee is believed due, however, the Commissioner is hereby authorized to charge any deficiency, or credit any refund, to our Deposit Account No. 50-0220.

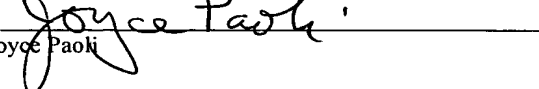
Respectfully submitted,


Scott C. Hatfield
Registration No. 38,176

Myers Bigel Sibley & Sajovec
PO Box 37428
Raleigh NC 27627
Tel (919) 854-1400
Fax (919) 854-1401

Certificate of Mailing under 37 CFR 1.8

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450, on March 16, 2004

Signature: 
Joyce Paoli



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0017694
Application Number

출원 년 월 일 : 2003년 03월 21일
Date of Application
MAR 21, 2003

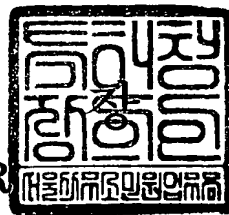
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2004 년 02 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】 특허출원서
【권리구분】 특허
【수신처】 특허청장
【제출일자】 2003.03.21
【발명의 명칭】 상변화 기억 소자 및 그 제조 방법
【발명의 영문명칭】 PHASE CHANGE MEMORY DEVICE STRUCTURE AND METHOD FOR FABRICATING THE SAME

【출원인】
【명칭】 삼성전자 주식회사
【출원인코드】 1-1998-104271-3

【대리인】
【성명】 임창현
【대리인코드】 9-1998-000386-5
【포괄위임등록번호】 1999-007368-2

【대리인】
【성명】 권혁수
【대리인코드】 9-1999-000370-4
【포괄위임등록번호】 1999-056971-6

【발명자】
【성명의 국문표기】 호리이
【성명의 영문표기】 HORII, HIDEKI
【주소】 서울특별시 강남구 개포3동 주공아파트 506동 1206호
【국적】 JP

【발명자】
【성명의 국문표기】 주석호
【성명의 영문표기】 JOO, SUK-HO
【주민등록번호】 681010-1079421
【우편번호】 134-050
【주소】 서울특별시 강동구 암사동 선사현대아파트 103동 312호
【국적】 KR

【발명자】
【성명의 국문표기】 이지혜
【성명의 영문표기】 YI, JI-HYE

【주민등록번호】 760519-2397519
【우편번호】 449-900
【주소】 경기도 용인시 기흥읍 농서리
【국적】 KR
【공지에외적용대상증명서류의 내용】
【공개형태】 간행물 발표
【공개일자】 2003.02.16
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
임창현 (인) 대리인
권혁수 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 27 면 27,000 원
【우선권주장료】 0 건 0 원
【심사청구료】 39 항 1,357,000 원
【합계】 1,413,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

상부전극보다 작은 상변화 물질막 패턴을 구비하는 상변화 기억 소자를 제공한다. 하부전극은 절연막을 관통하는 플러그 형태이며, 상부전극은 하부전극보다 크다. 따라서, 하부전극에 접한 상변화 물질막 패턴의 결정 상태를 변화시키기 위해 필요 되는 전류 크기를 감소시킬 수 있어 저전력 소모 상변화 기억 소자를 구현할 수 있다.

【대표도】

도 11

【색인어】

상변화 물질, 상변화 기억 소자

【명세서】

【발명의 명칭】

상변화 기억 소자 및 그 제조 방법{PHASE CHANGE MEMORY DEVICE STRUCTURE AND METHOD FOR FABRICATING THE SAME}

【도면의 간단한 설명】

도 1 및 도 2는 통상적인 상변화 기억 소자를 개략적으로 도시하는 단면도들이다.

도 3a는 본 발명의 일 실시예에 따른 상변화 기억 소자를 개략적으로 도시하는 단면도이다.

도 3b는 도 3a에 도시된 상변화 기억 소자에 대한 변형예를 도시한다.

도 4a는 본 발명의 다른 실시예에 따른 상변화 기억 소자를 개략적으로 도시하는 단면도이다.

도 4b는 도 4a에 도시된 상변화 기억 소자에 대한 변형예를 도시한다.

도 5 내지 도 11은 본 발명의 바람직한 실시예에 따른 상변화 기억 소자 형성 방법을 설명하기 위해 공정순서에 따라 나열한 공정 단면도들이다.

101 : 반도체 기판 103 : 소자 분리 영역

105 : 게이트 전극 107a : 드레인 영역

107b : 소오스 영역 109 : 트랜지스터

111, 115 : 층간절연막 113a : 하부배선

113b : 콘택 패드 117 : 하부절연막

119 : 하부전극 121a : 상변화 물질막 패턴

123a : 상부전극 127 : 언더컷 공간부

129 : 상부절연막 128 : 보호절연막

133 : 상부 배선

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 반도체 기억 소자에 관한 것으로서, 더욱 상세하게는 상변화 기억 소자 구조 및 그 형성 방법에 관한 것이다.

<17> 반도체 기억 소자들은 전원 공급이 중단 되었을 때, 데이터의 보유 유무에 따라, 크게 휘발성 기억 소자 및 비휘발성 기억소자로 나누어 질수 있다. 휘발성 기억 소자들의 대표적인 것이 디램 소자들 및 에스램 소자들이며, 비휘발성 기억소자들의 대표적인 것이 플래쉬 기억 소자들이다. 이와 같은 전형적인 기억 소자들은 저장된 전하 유무에 따라 논리 "0" 또는 논리 "1"을 나타냄으로써 기억 소자로서의 기능을 한다.

<18> 휘발성 기억 소자인 디램은, 주기적인 리프레쉬 동작이 필요하며, 높은 전하 저장능력이 요구된다. 따라서, 디램 소자의 경우, 커패시턴스를 증가시키기 위해 많은 노력들이 시도되고 있다. 그 예로서, 커패시터 전극의 표면적을 증가시켜 커패시턴스를 증가시키고 있으나, 커패시터 전극의 표면적 증가는 디램 소자의 집적도 증가를 어렵게 한다.

<19> 한편 통상적인 플래쉬 기억 셀들은 반도체 기판에 차례로 적층된 게이트 절연막, 부유게이트, 유전체막 및 제어게이트로 구성된 게이트 패턴을 갖는다. 플래쉬 기억 셀에 데이터를 기입 또는 소거하는 원리는 게이트 절연막을 통하여 전하들 터널링시키는 방법을 사용한다.

이때, 전원전압에 비하여 높은 동작전압이 요구된다. 이로 인하여, 플래쉬 기억 소자들은 기입 동작 및 소거동작에 필요한 전압을 형성하기 위하여 승압 회로가 요구된다.

<20> 따라서 비휘발성 특성 및 임의 접근이 가능하고, 소자의 집적도도 증가시키면서 구조가 간단한 새로운 기억 소자를 개발하기 위한 많은 노력이 있었으며, 이에 따라 나타난 대표적인 것이 상변화 기억 소자이다. 상변화 기억 소자는 그것에 제공되는 열(heat)에 의존하여 그 결정 상태가 변하는 상변화 물질을 사용한다. 통상적으로 상변화 물질로서 게르마늄(Ge), 안티모니(Antimony; Sb) 및 텔루리움(tellurium; Te)으로 구성된 칼코겐 화합물(GST 또는 Ge-Sb-Te)을 사용한다. 상변화 물질에 열을 제공하기 위해서 상변화 물질막에 전류를 흘려보낸다. 즉, 공급되는 전류의 크기 및 공급 시간에 의존하여 GST의 일정 부분의 상태가 변한다. 결정 상태는 저항이 낮고 비정질 상태는 저항이 높다. 결정 상태에 따라서 저항의 크기가 서로 다르기 때문에 저항 차이를 감지하여 논리 정보를 결정할 수 있다.

<21> GST에 높은 크기의 전류 펄스를 단시간(1~10ns) 인가하여 (저항 가열) 상변화 물질막의 열을 용융점 부근 (약 610℃) 까지 높이고 나서 급속히 냉각 (약 1ns 미만) 시키면 열을 받은 GST 일정 부분이 비정질 상태로 된다 (리세트 상태). 반면, 상대적으로 낮은 크기의 전류 펄스를 장시간(약 30 ~ 50ns 정도) 인가하여 (저항 가열) GST의 열을 용융 온도보다 낮은 결정화 온도 (약 450℃)로 유지하여 결정화 시킨 후 냉각시키면 열을 받은 GST 일정 부분은 결정 상태가 된다 (세트 상태).

<22> 이와 같은 상변화 기억 소자에서 무엇보다 중요한 것은 리세트/세트 (프로그램) 를 위해 필요 되는 전류 펄스 크기이다. 프로그램을 위한 전류 펄스는 상변화 기억셀의 구조와 밀접한 관련이 있다.

- <23> 도 1은 미합중국특허 5,933,365호에 개시된 상변화 기억셀 구조이다. 도 1에서 참조번호 11, 17은 절연막을, 참조번호 13 및 23은 전기적 접촉막 (electrical contact layer) 을, 참조번호 19는 상변화막을, 참조번호 15 및 21은 상변화막에 열(heat)을 공급하기 위한 가열막 (heating layer) 을 나타낸다. 도 1에 도시된 바와 같이, 가열막(15)을 노출시키는 작은 구멍이 절연막(17)에 형성되고 그 작은 구멍을 통해서 상변화막(19)과 가열막(15)이 접하고 있다. 따라서, 가열막(15)을 통해서 열이 상변화막(19)에 전달되면 가열막(15)에 접하는 구멍 내의 상변화막의 일정 부분, 즉, 가열막(15) 및 상변화막(19)의 접촉면에서의 상변화막의 결정 상태가 변하게 된다.
- <24> 하지만 이와 같은 구조의 경우, 가열막(15)이 사방으로 넓게 퍼진 평판(plate)형이기 때문에 가열막(15)을 통해서 상변화막(19)에 공급된 열이 다시 가열막(15)을 통해서 쉽게 확산한다. 따라서, 프로그램을 위한 전류 펄스가 매우 높다.
- <25> 이에 따라, 상변화막에 공급되는 열의 확산을 최소화하기 위해 가열막을 절연막을 관통하는 플러그 형태로 형성하는 구조가 제시된바 있다. 도 2는 이와 같은 플러그형의 가열막을 구비하는 상변화 기억 소자를 개략적으로 도시한다.
- <26> 도 2에서, 참조번호 11'은 절연막을, 참조번호 15'은 상변화막을 가열하는 플러그형 하부전극을, 참조번호 19'은 상변화막을, 참조번호 23'은 상부전극을 가리킨다.
- <27> 도 2를 참조하면, 도 1의 평판형 가열막(15)과 달리 절연막(11')을 관통하는 플러그형 하부전극(15')이 상변화막(19')에 열을 공급한다. 플러그형 하부전극(15')으로 인해 상변화막(19')에 공급되는 전류 밀도가 증가하게 되고 또한 평판형 가열막과 달리 열확산이 최소화된다. 하지만 이와 같은 플러그형 하부전극 구조의 경우에도, 도 1의 상변화 기억 소자와 동일하게

, 상변화막(19') 및 상부전극(23')의 직경이 동일한 크기를 가지기 때문에, 여전히 높은 프로그램 전류가 필요하다.

【발명이 이루고자 하는 기술적 과제】

<28> 이에, 본 발명은 프로그램 전류 크기를 줄일 수 있는 새로운 구조의 상변화 기억 소자 및 그 제조 방법을 제공하는 것을 그 목적으로 한다.

【발명의 구성 및 작용】

<29> 상기 본 발명의 목적을 달성하기 위한 일 실시예에 따른 상변화 기억 소자는 플러그형의 제1전극, 상기 제1전극보다 큰 직경의 제2전극 및 이들 두 전극 사이에 개재하면서 상기 제2전극보다 직경이 작은 상변화 물질막 패턴을 구비한다.

<30> 상기 제2전극은 사진식판기술(photolithography)이 허용하는 크기로 가능한 작게 형성된다. 따라서, 본 발명에 따르면 상기 상변화 물질막 패턴은 사진식판공정이 허용하는 크기보다 더 작은 크기를 가진다. 결과적으로 프로그램 전류 크기를 감소시킬 수 있다. 왜냐하면 상변화 물질막 패턴의 크기가 작을 수록 프로그램 전류 크기는 감소하기 때문이다.

<31> 상기 상변화 물질막 패턴은 상기 제2전극보다 작은 한 어떠한 크기라도 가질 수 있다. 본 발명의 상변화 기억 소자의 일 상태에 따르면, 상기 상변화 물질막 패턴은 상기 제1전극보다 더 클 수 있다. 또는 본 발명의 상변화 기억 소자의 다른 상태에 따르면, 상기 상변화 물질막 패턴은 상기 제1전극과 같거나 작을 수 있다.

<32> 일 실시예에 있어서, 상기 상변화 물질막 패턴은 Te, Se 중 적어도 하나 이상 선택되고 Ge, Sb, Bi, Pb, Sn, Ag, As, S, Si, P, O, N 중에서 적어도 하나 이상 선택된 물질의 조합으로 이루어진다. 더 구체적으로, 상기 상변화 물질막 패턴은 Ge-Sb-Te, As-Sb-Te, As-Ge-Sb-Te,

Sn-Sb-Te, Ag-In-Sb-Te, In-Sb-Te, 5A족 원소-Sb-Te, 6A족 원소-Sb-Te, 5A족 원소-Sb-Se, 6A족 원소-Sb-Se 등을 포함할 수 있다.

<33> 상기 제1전극 및 제2전극은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들의 조합막일 수 있다. 예컨대, 상기 질소 원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나이다.

<34> 일 실시예에 있어서, 상기 제1전극은 제1절연막을 관통하여 형성되고, 적어도 상기 제2전극을 덮도록 상기 제1절연막 상에 제2절연막이 더 배치된다. 상기 제2절연막 상에는 그것을 관통하는 콘택홀을 통해서 상기 제2전극에 전기적으로 접속하는 금속배선 즉, 데이터 라인이 형성된다. 상기 제1전극은 기판에 형성된 트랜지스터의 소오스 전극에 전기적으로 접속한다.

<35> 일 실시예에 있어서, 상기 제2절연막은 상기 상변화 물질막 패턴의 상부표면과 접촉하지 않는 상기 제2전극의 하부에 언더컷 공간부를 형성하도록 상기 제2전극의 상부표면과 측면 및 상기 제1절연막 상에 위치한다. 즉, 상기 언더컷 공간부는 상기 상변화 물질막 패턴 측면에서 상기 제2전극 측면에 까지 연장하여 상기 상변화 물질막 패턴을 둘러싸게 된다. 상기 언더컷 공간부는 상기 상변화 물질막 패턴에 제공된 열이 외부로 확산 되는 것을 방지한다.

- <36> 일 실시예에 있어서, 상기 제2전극, 상기 상변화 물질막 패턴, 상기 제1전극 및 상기 제1절연막에 의해 정의되는 구조물 외곽을 따라 균일한 두께로 형성된 보호절연막을 더 구비할 수 있다. 예컨대, 상기 보호절연막은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 하나 이상의 조합이다.
- <37> 본 발명의 일 실시예에 따른 상변화 기억 소자는 소오스 영역, 드레인 영역 및 게이트 전극으로 구성된 트랜지스터를 구비하는 기판과, 상기 기판 상에 배치된 하부절연막과, 상기 하부절연막을 관통하여 상기 소오스 영역에 전기적으로 접속된 하부전극과, 상기 하부전극의 적어도 일부 상에 배치된 상변화 물질막 패턴과, 상기 상변화 물질막 패턴 상에 배치되며 상기 상변화 물질막 패턴 및 상기 하부전극보다 더 큰 상부전극과, 적어도 상기 상부전극을 덮도록 상기 하부절연막 상에 배치된 상부절연막과, 상기 상부절연막 상에 배치되며 상기 상부절연막을 관통하여 상기 상부전극을 노출시키는 콘택홀을 통해서 상기 상부전극에 전기적으로 접속하는 상부배선을 포함한다.
- <38> 본 발명의 일 실시예에 따른 상변화 기억 소자 형성 방법은 상변화 물질막 및 상부전극막을 증착한 후 이들 막들을 식각하여 상부전극 및 상변화 물질막 패턴을 형성하되, 상기 식각은 CF_4 가스를 포함하는 동일한 식각 가스로 식각하되, 상변화 물질막을 식각할 때에는 CF_4 가스의 유량을 점차 감소시키면서 식각한다.
- <39> 일 실시예에 있어서, 상기 식각 가스는 Ar 및 Cl_2 를 포함한다. 바람직하게 상기 상부전극막은 Ar, Cl_2 , 및 CF_4 가스를 사용하여 식각하고 상기 상변화 물질막은 Ar, Cl_2 가스를 사용하여 식각한다. 이에 따라 상부전극보다 작은 크기의 상변화 물질막 패턴을 형성하는 것이 가능하다. CF

4의 유량을 적절히 조절함으로써, 상부전극보다 작으면서도 원하는 크기를 가지는 상변화 물질막 패턴을 형성할 수 있다.

<40> 일 실시예에 따른 상변화 기억 소자 형성 방법은 하부절연막을 구비한 기판을 제공하는 단계와, 상기 하부절연막을 관통하는 하부전극을 형성하는 단계와, 상기 하부절연막 및 하부전극 상에 상변화 물질막 및 상부전극막을 차례로 형성하는 단계와, 상기 상부전극막 및 상기 상변화 물질막을 차례로 패터닝하여 상기 하부전극보다 직경이 큰 상부전극 및 상기 상부전극보다 직경이 작으며 상기 하부전극에 접하는 상변화 물질막 패턴을 형성하는 단계와, 상기 상부전극 및 상변화 물질막 패턴이 형성된 결과의 기판 전면에 상부절연막을 형성하는 단계를 포함한다.

<41> 상기 상부전극막 및 상기 상변화 물질막을 차례로 패터닝하여 상기 상부전극 및 상변화 물질막 패턴을 형성하는 단계는, 상기 상부전극막 상에 식각 마스크 패턴을 형성하는 단계와, 상기 식각 마스크 패턴에 의해 노출된 상기 상부전극막을 제1식각하여 상기 상부전극을 형성하는 단계와, 노출된 상변화 물질막을 제2식각하여 상기 상부전극보다 직경이 작은 상기 상변화 물질막 패턴을 형성하는 단계와, 상기 식각 마스크 패턴을 제거하는 단계로 이루어진다. 이때, 상기 상부전극막에 대한 제1식각은 CF_4 를 포함하는 식각 가스를 사용하고, 상기 상변화 물질막에 대한 제2식각은 상기 제1식각과 동일한 식각 가스를 사용하되 식각이 진행되면서 CF_4 가스의 유량이 점점 감소되는 조건으로 진행된다.

<42> 상기 제1식각 및 제2식각의 식각 가스는 Ar, Cl_2 를 더 포함하는 것이 바람직하다.

<43> 일 실시예에 있어서, 상기 상부절연막은 플라즈마 기상증착법 또는 플라즈마 강화 화학적 기상증착법을 사용하여 형성될 수 있다.

- <44> 일 실시예에 있어서, 상기 상부절연막은 상기 상변화 물질막 패턴의 상부표면과 접촉하지 않는 상기 상부전극의 하부에 언더컷 공간부를 형성하도록 상기 상부전극의 상부표면과 측면 및 상기 하부절연막 상에 형성된다.
- <45> 또한, 상기 상부절연막을 형성하기 전에, 상기 상부전극, 상기 상변화 물질막 패턴, 상기 하부전극 및 상기 하부절연막에 의해 정의되는 구조물 외곽을 따라 균일한 두께로 형성된 보호절연막을 더 형성할 수 있다. 이때, 상기 상부절연막은 상기 보호절연막 상에 형성될 것이다. 이 경우, 상기 보호절연막은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 하나 이상의 조합막으로서 원자증착법 또는 열적 화학적기상증착법에 의해 형성될 수 있다.
- <46> 상기 상부절연막은 절연막은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 하나 이상의 조합으로서 플라즈마 기상증착법 또는 플라즈마 강화 화학적기상증착법에 의해 형성될 수 있다.
- <47> 이하에서는 첨부된 도면들을 참조하여 '본 발명의 바람직한 실시예들을 상세히 설명한다. 이하 첨부한 도면들을 참조하여 본 발명의 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되어지는 실시예들에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되어지는 것이다. 도면들에 있어서, 층(또는 막), 패턴 및 영역들의 두께는 명확성을 기하기 위하여 과장되어진 것이다. 또한, 층(또는 막)이 다른 층(또는 막) 또는 기판 "상"에 있다고(또는 형성된다고) 언급되어지는 경

우에 그것은 다른 층(또는 막) 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호들은 동일한 구성요소들을 나타낸다.

<48> 본 발명이 제공하는 상변화 기억 소자는 트랜지스터 및 정보저장 기능을 하는 가변 저항체를 포함한다. 본 발명은 특히 새로운 구조를 가지는 가변 저항체를 제공한다. 가변 저항체는 상변화 물질막 패턴 및 여기에 전기적 신호를 전달하는 두 전극들을 포함한다. 두 전극들 중 한 전극 (하부전극)은 절연막을 관통하는 플러그 형태를 나타낸다. 하부전극에 흐르는 전류 크기에 의존하여 상변화 물질막 패턴의 일부 영역, 즉, 플러그 형태의 하부전극과 상변화 물질막 패턴이 접하는 영역부근의 상변화 물질의 결정 상태가 변한다. 두 전극들 중 다른 한 전극 (상부전극)은 상변화 물질막 패턴 상에 위치하며 그것보다 더 크다. 즉, 상변화 물질막 패턴이 상부전극보다 더 작다. 소자의 집적도 향상을 위해서는 상부전극은 사진식판기술로 가능한 크기까지 작게 형성되는 것이 바람직하다. 따라서, 본 발명의 상변화 물질막 패턴은 사진식판기술로 가능한 크기 보다 더 작게 형성될 수 있다. 이는 프로그램 전류의 크기 감소로 나타난다.

<49> 도 3a는 본 발명의 일 실시예에 따른 가변 저항체를 개략적으로 도시한다. 도 3a에서, 참조번호 119는 제1전극(하부전극)을 가리키고, 참조번호 121a는 상변화 물질막 패턴을 가리키고, 참조번호 123a는 제2전극(상부전극)을 가리킨다. 참조번호 117 및 참조번호 129는 각각 하부절연막 및 상부절연막을 가리킨다. 상기 제1전극(119)은 상기 하부절연막(117)의 소정 영역을 관통하는 콘택 플러그 형태이며, 상기 하부절연막(117) 및 상기 제1전극(119) 상에 상기 상변화 물질막 패턴(121a)이 상기 제1전극(119)에 전기적으로 접속하도록 배치되고, 상기 제2전극(123a)이 상기 상변화 물질막 패턴(121a) 상에 배치된다. 상기 상변화 물질막 패턴(121a)은 그 직경이 상기 상부전극(123a)보다 작다. 하지만, 상기 상변화 물질막 패턴(121a)은 상기 콘

택 플러그형 하부전극(119)보다는 그 직경이 크다. 상기 상부전극(123a)은 다양한 직경을 가질 수 있으나, 소자의 고집적도를 위해서는 가능한 작게, 즉, 사진식판기술이 허용하는 크기로 가능한 작은 것이 바람직하다. 따라서, 이 경우, 상기 상변화 물질막 패턴(121a)은 사진식판기술이 허용하는 크기보다도 더 작게 형성될 수 있다. 결과적으로 프로그램시 필요한 전류 크기를 감소시킬 수 있다.

<50> 상기 하부전극(119) 및 상부전극(123a)은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들의 조합막일 수 있다.

<51> 예컨대, 상기 질소 원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나이다.

<52> 상기 상변화 물질막 패턴(121a)은 칼코겐 원소인 Te, Se 중 적어도 하나 이상 선택되고 Ge, Sb, Bi, Pb, Sn, Ag, As, S, Si, P, O, N 중에서 적어도 하나 이상 선택된 물질의 조합으로 이루어진다. 예컨대, 상기 상변화 물질막 패턴(121a)은 Ge-Sb-Te, As-Sb-Te, As-Ge-Sb-Te, Sn-Sb-Te, Ag-In-Sb-Te, In-Sb-Te, 5A족 원소-Sb-Te, 6A족 원소-Sb-Te, 5A족 원소-Sb-Se, 6A족 원소-Sb-Se 등을 포함할 수 있다.

<53> 상부절연막(129)이 상기 상부전극(123a) 및 하부절연막(117)을 덮는다. 이때, 상기 상부절연막(129)은 상기 상변화 물질막 패턴(121a)의 상부표면과 접촉하지 않는 상기 상부전극

(123a)의 하부에 언더컷 공간부(127)가 형성되도록 상기 상부전극(123a)의 상부표면과 측면 및 상기 하부절연막(117) 상에 형성된다. 상기 상변화 물질막 패턴(121a)을 감싸는 언더컷 공간부(127)는 소자 동작시 (프로그램 동작시) 상기 하부전극(119)으로부터 제공된 열(heat)이 상기 상변화 물질막 패턴(121a) 외부로 빠져나가는 것을 방지하는 우수한 열차단 기능을 한다. 따라서 상기 하부전극(119)으로부터 효율적으로 열이 상기 상변화 물질막 패턴(121a)에 전달될 수 있어 프로그램 전류를 더욱 낮출 수 있다.

<54> 상기 하부전극(119)은 기판 상에 형성된 트랜지스터의 소오스 영역에 전기적으로 연결되고, 상기 상부전극(123a)은 상기 상부절연막(129)에 배치되는 데이터 라인에 전기적으로 연결된다.

<55> 또, 도 3b에 도시된 바와 같이 상기 하부전극(119), 하부절연막(117), 상변화 물질막 패턴(121a) 및 상부전극(123a)에 의해 정의되는 구조물을 따라 균일한 두께의 보호절연막(128)이 더 배치될 수 있다.

<56> 상기 보호절연막(128) 및 상부절연막(129)은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 하나 이상의 조합으로 형성된다. 상기 보호절연막(128)은 하부 구조물을 따라 균일한 두께로 형성되기 때문에 단차 도포성(step coverage)이 우수한 박막증착기술, 예컨대, 원자층증착법(ALD), 화학적기상증착법(CVD) 등을 사용하여 형성되는 것이 바람직하다. 반면, 상기 상부절연막(129)은 언더컷 공간부(127)가 형성되도록 증착되기 때문에 단차 도포성이 불량한 박막증착기술, 예컨대, 플라즈마 기상증착법(PVD), 플라즈마 강화 화학적기상증착법(PE-CVD) 등에 의해서 형성되는 것이 바람직하다.

<57> 도 4a는 본 발명의 또 다른 실시예에 따른 가변 저항체를 개략적으로 도시한다. 도 4a를 참조하면, 상변화 물질막 패턴(121a')이 하부전극(119')보다 작은 것을 제외하고는 도 3a에 보여진 가변 저항체와 동일하다. 이에 따라 상기 상변화 물질막 패턴(121a')을 둘러싸는 빈 공간(127')이 도 4a의 그것보다 다소 넓을 수 있다. 도 3a와 마찬가지로 상기 상변화 물질막 패턴(121a')은 상부전극(123a')보다 더 작은 크기를 가진다. 본 실시예의 경우, 상기 상변화 물질막 패턴(121a') 및 하부전극(119') 사이의 접촉 영역이 도 3a에 도시된 가변 저항체의 그것보다 다소 작을 수 있다. 하지만, 본 실시예에서 상기 상변화 물질막 패턴(119')의 직경이 도 3a의 하부전극(119)의 직경과 동일할 수도 있다. 이 경우, 본 실시예의 하부전극(119')의 직경은 도 3a의 하부전극의 직경(119)보다 더 클 것이며, 하부전극 및 상변화 물질막 패턴 사이의 접촉 영역은 도 3a의 그것도 동일 할 것이다.

<58> 또한 도 4b에 도시된 바와 같이, 도 3b와 마찬가지로, 상기 하부전극(119'), 하부절연막(117'), 상변화 물질막 패턴(121a') 및 상부전극(123a')에 의해 정의되는 구조물을 따라 균일한 두께의 보호절연막(128')이 더 배치될 수 있다.

<59> 이하에서는 도 5 내지 도 11을 참조하여 도 3a, 3b, 4a, 및 4b에 도시된 가변 저항체를 구비하는 상변화 기억 소자를 형성하는 방법에 대해서 설명을 한다.

<60> 먼저, 도 5를 참조하여, 통상적인 모스 전계효과 트랜지스터(MOSFET) 공정을 진행하여 반도체 기판 (101)에 소자 분리 영역 (103) 및 트랜지스터 (109)를 형성한다. 상기 소자 분리 영역(103)은 상기 반도체 기판 (101)에 형성된 절연 영역으로서 활성 영역을 한정하며, 국소적 실리콘 산화 공정(LOCOS) 또는 트렌치 공정(STI) 등에 의해서 형성될 수 있다. 상기 트랜지스터(109)는 상기 반도체 기판 (101) 상에 형성되며 일정한 방향으로 신장하는 게이트 전극 (105), 그 양측의 반도체 기판 (101)의 활성 영역에 형성된 소오스 영역(107b) 및 드레인 영역

(107a)으로 구성된다. 한편, 상기 소오스 영역(107b) 및 상기 드레인 영역(107a) 사이의 활성 영역, 즉, 상기 게이트 전극(105) 아래의 활성 영역이 채널 영역으로서 상기 소오스 영역(107b) 및 상기 드레인 영역(107a) 사이의 전류 통로로서의 역할을 한다. 그리고, 상기 게이트 전극(105) 및 채널 영역 사이에는 게이트 절연막이 개재함은 이 분야의 통상적인 지식을 가진 자에게 자명한 사실이다.

<61> 계속해서, 상기 트랜지스터(109)를 완전히 덮도록 하부층간절연막(111)을 형성한다. 상기 하부층간절연막(111)은 실리콘 산화막으로 형성되며, 화학적기상증착(CVD) 방법 등이 사용되어 형성될 수 있다.

<62> 다음, 도 6을 참조하여, 하부배선(113a) 공정 및 하부전극(119) 공정을 설명한다. 상기 하부배선(113a)은 상기 트랜지스터(109)의 드레인 영역(107a)에 전기적으로 접속하는 도전성 배선이다. 예컨대, 상기 하부배선(113a)은 상기 게이트 전극(105)과 평행하도록 신장될 수 있다. 본 실시예에서는 듀얼 다마신(dual damascene) 공정을 사용하여 상기 하부배선(113a)을 형성한다. 구체적으로, 상기 하부층간절연막(111)을 패터닝하여 하부배선이 형성될 배선 용 홈(interconnection groove, 112a) 및 상기 홈(112a)의 일정 영역에서 연속하여 상기 드레인 영역(107a)을 노출시키는 콘택홀(112a')을 형성한다. 이어서 상기 배선용 홈(112a) 및 콘택홀(112a')을 도전물질로 채워 상기 드레인 영역(107a)에 전기적으로 접속하는 상기 하부배선(113a)을 형성한다. 이때, 본 발명에 따르면, 상기 하부배선(113a)을 형성할 때, 동시에 상기 소오스 영역(107b)에 전기적으로 접속하

는 콘택 패드(113b)도 형성한다. 즉, 상기 배선용 홈(112a) 및 콘택홀(112a')을 형성할 때, 동시에 콘택 패드용 개구부(112b) 및 여기에 연속하며 상기 소오스 영역(107b)을 노출시키는 콘택홀(112b')을 형성한다. 그리고, 상기 배선용 홈(112a) 및 콘택홀(112a')을 도전물질로 채울 때, 동시에 상기 개구부(112b) 및 콘택홀(112b')도 동시에 상기 도전물질로 채워진다. 상기 콘택 패드(113b)는 후속 공정으로 형성될 하부전극(119)을 상기 소오스 영역(107b)에 전기적으로 연결시키는 역할을 한다.

<63> 비록 듀얼 다마신 공정을 사용하여 상기 하부 배선(113a) 및 콘택 패드(113b)를 형성하였지만, 다른 방법을 사용할 수도 있다. 즉, 상기 하부층간절연막(111)을 패터닝하여 상기 소오스 영역(107b) 및 드레인 영역(107a)을 노출시키는 콘택홀들을 형성한 후 상기 콘택홀들을 채우도록 상기 하부층간절연막(111) 상에 도전물질을 형성하고, 이어서 패터닝 공정을 진행할 수도 있다.

<64> 계속해서, 상기 하부 배선(113a) 및 콘택 패드(113b) 그리고 상기 하부층간절연막(111) 상에 상부층간절연막(115)을 형성한다. 상기 하부층간절연막(111) 및 상부층간절연막(115)이 하부절연막(117)을 구성한다. 상기 상부층간절연막(115)은 예컨대 화학적기상증착 방법을 사용한 실리콘 산화막으로 형성될 수 있다. 상기 상부층간절연막(115)을 패터닝하여 상기 콘택 패드(113b)를 노출시키는 콘택홀(118)을 형성한다. 그런 다음, 상기 콘택홀(118)을 도전물질로 채워 상기 콘택 패드(113b)에 전기적으로 접속하는 하부전극(119)을 형성한다. 상기 하부전극(119)은 도전물질 증착 및 이에 대한 평탄화 공정 (예컨대, 물리화학적 연마 공정 또는 에치백 공정)을 진행하여 형성될 수 있다.

<65> 여기서, 실시예에 따라서, 상기 하부전극(119)의 직경을 더욱 감소시키기 위해서, 상기 콘택홀(118)을 형성한 후 그 측벽에 절연막 스페이서를 더 형성할 수도 있다.



<66> 상기 하부전극(119)은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들이 둘 이상이 적층된 다층막일 수 있다. 상기 하부전극(119)은 화학적기상증착법(CVD), 플라즈마 기상증착법(PVD), 원자층증착법(ALD) 등의 막질 증착 방법을 사용하여 형성될 수 있다.

<67> 예컨대, 상기 질소 원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나이다.

<68> 상기 하부전극(119)의 일예로서 원자층증착법에 의해 질화알루미늄티타늄(TiAlN)을 적용할 경우 그 형성 방법을 설명한다. 먼저 티타늄 소오스 가스로서 사염화 티타늄(TiCl_4)을 반응기 내로 흘려보내어(유입) 상기 콘택홀(118) 형성된 반도체 기판에 화학적 흡착 시킨다. 이어서 퍼징(purging) 가스로 흡착되지 않은 사염화 티타늄을 퍼지시킨 후 (반응기 외부로 배출) 질소 소오스 가스로서 암모니아(NH_3)를 반응기 내로 흘려보낸다. 이에 따라 질화 티타늄막(TiN)이 형성된다. 퍼징 가스로 내부를 퍼지하여 반응하지 않은 암모니아를 반응기 외부로 배출시킨다. 다음 알루미늄 소오스로서 삼메탄알루미늄($\text{Al}(\text{CH}_3)_3$)을 흘려 보내어 티타늄막 위에 흡착시킨다. 이어서, 흡착되지 않은 삼메탄알루미늄을 퍼징 가스를 흘려 보내어 반응기 외부로 배출시키고, 마지막으로 다시 암모니아를 흘려 보낸 후 퍼징 가스로 퍼지시킨다. 이와 같은 단

계들로 이루어진 단위 사이클을 반복하면서 원하는 두께의 TiAlN막을 형성한다. 원활한 소오스 가스 유입을 위해서 운반 가스(예컨대, 아르곤 또는 질소 가스)를 사용할 수 도 있다.

<69> 다음 도 7을 참조하여, 상기 하부전극(119)을 형성한 후, 상기 하부절연막(117) 즉, 상기 상부충간절연막(115) 상에 상변화 물질막(121) 및 상부전극막(123)을 형성한다. 상기 상변화 물질막(121)은 칼코겐 원소인 Te, Se 중 적어도 하나 이상 선택되고 Ge, Sb, Bi, Pb, Sn, Ag, As, S, Si, P, O, N 중에서 적어도 하나 이상 선택된 물질의 조합으로 이루어진다. 예컨대, 상기 상변화 물질막(121)은 Ge-Sb-Te, As-Sb-Te, As-Ge-Sb-Te, Sn-Sb-Te, Ag-In-Sb-Te, In-Sb-Te, 5A족 원소-Sb-Te, 6A족 원소-Sb-Te, 5A족 원소-Sb-Se, 6A족 원소-Sb-Se 등의 칼코겐 화합물을 포함할 수 있다.

<70> 일 예로서, Ge-Sb-Te을 스퍼터링 방법을 사용하여 형성하는 경우를 설명한다. Ge-Sb-Te를 타겟으로 하여 약 10mm Torr 의 아르곤, 약 500와트의 DC 파워에서, 약 100 내지 1000 Å의 두께 범위로 상기 상변화 물질막(121)을 형성한다.

<71> 상기 상부전극막(123)은 화학적기상증착법, 물리적기상증착법, 원자층증착법 등의 방법을 사용하여 형성될 수 있으며, 상기 하부전극(119)과 동일한 물질을 사용하여 형성될 수 있다. 예컨대, 상기 상부전극막(123)은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 이들이 둘 이상 적층된 다층막일 수 있다.

<72> 일 예로서 플라즈마 기상증착법을 사용하여 질화알루미늄티타늄으로 상부전극막을 형성하는 경우를 설명한다. 알루미늄티타늄 얼로이(20 원자 퍼센트의 알루미늄)를 타겟으로 하는 DC 스퍼터에서, 약 3mm Torr의 아르곤, 약 3mm Torr의 질소, 약 1500와트의 DC 파워 조건으로 진행하여 약 100 내지 1000 Å 두께 범위로 상기 상부전극막(123)을 형성할 수 있다.



- <73> 계속해서 도 7을 참조하여, 상기 상부전극막(123) 상에 상부전극 모양을 한정하는 포토 레지스트막 패턴(125)을 형성한다.
- <74> 다음 8을 참조하여, 상기 포토 레지스트막 패턴(125)을 식각 마스크로 사용하여, 노출된 상부전극막(123)을 식각하여 상부전극(123a)을 형성한다. 이때, 상기 상부전극막(123)의 식각은 적어도 CF_4 가스를 포함하는 식각 가스를 사용한다. 구체적으로 상기 상부전극막(123)의 식각은 CF_4 , Ar, Cl_2 를 포함하는 혼합 가스를 사용한다.
- <75> 계속해서 노출된 상기 상변화 물질막(121)을 식각하여 도 9에 도시된 바와 같이 상변화 물질막 패턴(121a)을 형성한다. 이에 따라 하부전극(119), 상변화 물질막 패턴(121a) 및 상부전극(123a)으로 구성된 가변 저항체 (124)가 형성된다. 이때, 상기 상변화 물질막 및 상부전극막의 식각은 동일한 식각 챔버에서 이루어진다.
- <76> 여기서, 본 발명에 따르면, 상기 상부전극막을 식각한 후 상기 상변화 물질막을 식각할 때, CF_4 가스의 유량을 점점 감소 시키면서 식각을 진행한다. 이에 따라 상부전극(123a) 보다 작은 크기의 상변화 물질막 패턴(121a)이 형성된다.
- <77> 또는 상기 상부전극막을 식각할 때 사용된 CF_4 의 유량보다 작은 유량의 CF_4 를 사용한다. 또한 CF_4 를 사용하지 않을 수도 있다. 즉 상기 상부전극막(123)의 식각은 CF_4 , Ar, Cl_2 가스를 사용하고 상변화 물질막(121)에 대한 식각을 Ar, Cl_2 가스를 사용하여 식각할 수도 있다.
- <78> 본 발명에 따르면, 사용되는 CF_4 가스의 유량에 따라서 형성되는 상변화 물질막 패턴(121a)의 크기가 변한다. 즉, 상대적으로 적은 량의 CF_4 를 사용할 수록 형성되는 상변화 물질막 패턴(121a)의 크기는 작아진다. 따라서 CF_4 유량을 적절히 조절함으로써 원하는 크기의 상

변화 물질막 패턴(121a)을 형성할 수 있다. 즉, 도 3a에서와 같이 상부전극(123a)보다는 작지만 하부전극(119)보다는 큰 상변화 물질막 패턴(121a), 도 4a에서와 같이 상부전극(123a) 및 하부전극(119)보다 작은 상변화 물질막 패턴(121a') 등을 형성할 수 있다.

<79> 후속 공정은 상부배선 공정으로서 도 10 및 도 11을 참조하여 설명을 한다. 먼저, 도 9를 참조하여, 적어도 상기 상부전극(123a)을 덮도록 상기 하부절연막(117) 상에 상부절연막(129)을 형성한다.

<80> 여기서 상기 상부절연막(129)은 단차 도포성이 불량한 플라즈마 기상증착법, 플라즈마 강화 화학적기상증착법 등을 사용하여 형성되는 것이 바람직하다. 즉, 상기 상부절연막(129)은 상기 상변화 물질막 패턴(121a)의 상부표면과 접촉하지 않는 상기 상부전극(123a)의 하부에 언더컷 공간부(127, 도 3a 참조)가 형성되도록 상기 상부전극(123a)의 상부표면과 측면 및 상기 하부절연막(117) 상에 형성된다. 상기 언더컷 공간부(127)는 상기 상변화 물질막 패턴(121a) 측면을 둘러싼다. 이러한 언더컷 공간부(127)는 상기 상변화 물질막 패턴(121a)에 공급된 열이 외부로 빠져나가는 것을 차단하는 우수한 열차단제로 작용한다. 예컨대, 상기 상부절연막(129)은 피테오스(PE-TEOS)로 형성될 수 있다.

<81> 실시예에 따라서는 상기 언더컷 공간부를 형성하지 않을 수도 있다. 즉, 단차 도포성이 우수한 박막증착방법인 원자층증착법, 화학적기상증착법을 사용하여 상기 상부절연막을 형성할 수도 있다.

<82> 또한, 상기 단차 도포성이 불량한 상부절연막(129)을 형성하기 전에 원자층증착법, 화학적기상증착법 등을 사용하여 보호절연막(128)을 더 형성할 수도 있다. 이때, 상기 보호절연막(128)은 상기 하부전극(119), 상기 하부절연막(117), 상

기 상변화 물질막 패턴(121a) 및 상부전극(123a)이 한정하는 구조물 외곽을 따라 균일한 두께로 형성된다. 이때, 상기 상부절연막(129)은 상기 보호절연막(128) 상에 형성되고, 이들 두 막질(128, 129)에 의해서 상기 상변화 물질막 패턴(121a)의 측면에 빈 공간(127)이 도 10에 도시된 바와 같이 생긴다.

<83> 상기 상부절연막(129)은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 이들의 조합으로 형성될 수 있다.

<84> 상기 보호절연막(128) 역시 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 이들의 조합으로 형성될 수 있다.

<85> 다음 도 11을 참조하여, 상기 상부절연막(129)을 패터닝하여 상기 상부전극(123a)을 노출시키는 비아홀(131)을 형성한다. 이어서 상기 비아홀(131) 및 상기 상부절연막(129) 상에 도전물질을 증착하고 이를 패터닝하여 상부배선(133)을 형성한다.

<86> 예컨대, 상기 상부배선은 알루미늄, 알루미늄구리 합금, 알루미늄구리실리콘 합금, 텅스텐 실리사이드, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 텅스텐티타늄, 구리 등으로 형성될 수 있으며, 플라즈마 기상증착법, 화학적기상증착법 등을 사용할 수 있다.

<87> 다른 방법으로 상기 비아홀(131)을 채우는 도전성 플러그를 형성한 후, 다시 도전물질을 증착하고 이를 패터닝하여 상부배선을 형성할 수도 있다.

<88> 본 발명자들은 서로 다른 구조를 가지는 상변화 기억 소자에서 동일한 전류 펄스를 가했을 때 나타나는 상변화 물질막 패턴의 온도를 확인해 보았다. 종래 구조에 대응하도록 상부전

극 및 상변화 물질막 패턴이 동일한 크기를 가지는 경우와 본 발명에 대응하는 상변화 물질막이 상부전극보다 작은 경우에 대해서 시뮬레이션을 해보았다.

<89> 상부전극 및 상변화 물질막 패턴의 두께가 각각 100nm이고 직경이 모두 240nm 이고, 플러그형 하부전극의 직경이 80nm이고 두께가 100nm 인 경우와, 상부전극 및 상변화 물질막 패턴의 두께가 각각 100nm이고 상부전극의 직경은 240nm 이나 상변화 물질막 패턴의 직경은 80nm 이고, 플러그형 하부전극의 직경이 80nm이고 두께가 100nm 인 경우를 가정했다.

<90> 상변화 물질막 패턴의 저항은 모두 $0.01\Omega\text{cm}$ 으로 하고, 약 1mA의 프로그램 전류를 약 10나노초 동안 인가해 보았다.

<91> 종래 구조의 경우, 온도가 최대 605켈빈 까지만 상승함을 확인하였다. 이는 상변화 물질막을 비정질 상태(리세트) 상태로 만들기 위해 필요한 용융온도인 900켈빈에 비해 매우 낮다. 따라서 리세트가 불가능하다. 반면, 본 발명이 제시하는 구조의 경우, 온도가 최대 1689켈빈 까지 올라감을 확인하였다. 따라서 리세트가 가능하다.

<92> 이제까지 본 발명에 대하여 그 바람직한 실시예(들)를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할수 있을 것이다. 그러므로 본 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

【발명의 효과】

<93> 이상에서 설명한 바와 같이, 본 발명에 따르면, 상부전극보다 작은 상변화 물질막 패턴을 형성함으로써 프로그램시 필요한 전류 크기를 감소시킬 수 있다. 게다가, 전류를 공급하기 위한 트랜지스터의 크기도 그에 따라 줄어 들기 때문에 소자의 집적도를 증가시킬 수 있다.

【특허청구범위】**【청구항 1】**

기판 상에 배치된 제1절연막을 관통하는 제1전극;

상기 제1전극보다 큰 제2전극; 그리고,

상기 제1전극 및 제2전극 사이에 개재하며 상기 제2전극보다 작은 상변화 물질막 패턴을 포함하는 상변화 기억 소자.

【청구항 2】

제 1 항에 있어서,

상기 상변화 물질막 패턴의 상부표면과 접촉하지 않는 상기 제2전극의 하부에 언더컷 공간부를 갖도록 상기 제2전극의 상부표면과 측면 및 상기 제1절연막 위를 덮는 제2절연막을 더 포함하는 것을 특징으로 하는 상변화 기억 소자.

【청구항 3】

제 1 항 또는 제 2 항에 있어서,

상기 상변화 물질막 패턴은 상기 제1전극보다 커 상기 제1전극 및 그 주위의 제1절연막 일부 상에 위치하는 것을 특징으로 하는 상변화 기억 소자.

【청구항 4】

제 1 항 또는 제 2 항에 있어서,

상기 상변화 물질막 패턴은 상기 제1전극과 같거나 작아 상기 제1전극의 상부표면 전부 또는 그 일부에만 위치하는 것을 특징으로 하는 상변화 기억 소자.

【청구항 5】

제 1 항 또는 제 2 항에 있어서,

상기 상변화 물질막 패턴은 Te, Se 중 적어도 하나 이상 선택되고 Ge, Sb, Bi, Pb, Sn, Ag, As, S, Si, P, O, N 중에서 적어도 하나 이상 선택된 물질의 조합으로 이루어진 것을 특징으로 하는 상변화 기억 소자.

【청구항 6】

제 1 항 또는 제 2 항에 있어서,

상기 제1전극 및 제2전극은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 하나 이상의 조합인 것을 특징으로 하는 상변화 기억 소자.

【청구항 7】

제 6 항에 있어서,

상기 질소 원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나인 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 8】

제 1 항에 있어서,

상기 제2전극을 덮도록 상기 제1절연막 상에 형성된 제2절연막을 더 포함하는 것을 특징으로 하는 상변화 기억 소자.

【청구항 9】

제 8 항에 있어서,

상기 제2전극, 상기 상변화 물질막 패턴, 상기 제1전극 및 상기 제1절연막에 의해 정의되는 구조물 외곽을 따라 균일한 두께로 형성된 보호절연막을 더 구비하되, 이때, 상기 제2절연막은 상기 보호절연막 상에 위치하는 것을 특징으로 하는 상변화 기억 소자.

【청구항 10】

제 9 항에 있어서,

상기 보호절연막은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 하나 이상의 조합인 것을 특징으로 하는 상변화 기억 소자.

【청구항 11】

제 9 항에 있어서,

상기 제2절연막은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 하나 이상의 조합인 것을 특징으로 하는 상변화 기억 소자.

【청구항 12】

제 2 항에 있어서,

상기 제1절연막 내에 형성된 제1배선;

상기 제2절연막을 관통하는 콘택홀을 통해서 상기 제2전극에 전기적으로 접속하는 상기 제2절연막 상에 형성된 제2배선;

상기 제1배선에 전기적으로 접속하며 상기 기판에 형성된 드레인 영역, 상기 제1전극에 전기적으로 접속하며 상기 드레인 영역에 이격되어 상기 기판에 형성된 소오스 영역 및 이들 두 영역들 사이의 기판 상에 형성된 게이트 전극으로 구성된 트랜지스터를 더 구비하는 것을 특징으로 하는 상변화 기억 소자.

【청구항 13】

소오스 영역, 드레인 영역 및 게이트 전극으로 구성된 트랜지스터를 구비하는 기판;

상기 기판 상에 배치된 하부절연막;

상기 하부절연막을 관통하여 상기 소오스 영역에 전기적으로 접속된 하부전극;

상기 하부전극의 적어도 일부 상에 배치된 상변화 물질막 패턴;

상기 상변화 물질막 패턴 상에 배치되며, 상기 상변화 물질막 패턴 및 상기 하부전극보다 더 큰 상부전극;

적어도 상기 상부전극을 덮도록 상기 하부절연막 상에 배치된 상부절연막;

상기 상부절연막 상에 배치되며, 상기 상부절연막을 관통하여 상기 상부전극을 노출시키는 콘택홀을 통해서 상기 상부전극에 전기적으로 접속하는 상부배선을 포함하는 것을 특징으로 하는 상변화 기억 소자.

【청구항 14】

제 13 항에 있어서,

상기 상변화 물질막 패턴은 상기 하부전극보다 커 상기 하부전극 및 그 주위의 하부절연막 일부 상에 위치하는 것을 특징으로 하는 상변화 기억 소자.

【청구항 15】

제 13 항에 있어서,

상기 상변화 물질막 패턴은 상기 하부전극과 같거나 작아 상기 하부전극의 표면 전부 또는 그 일부에만 위치하는 것을 특징으로 하는 상변화 기억 소자.

【청구항 16】

제 13 항에 있어서,

상기 상변화 물질막 패턴은 Te, Se 중 적어도 하나 이상 선택되고 Ge, Sb, Bi, Pb, Sn, Ag, As, S, Si, P, O, N 중에서 적어도 하나 이상 선택된 물질의 조합으로 이루어진 것을 특징으로 하는 상변화 기억 소자.

【청구항 17】

제 13 항에 있어서,

상기 하부전극 및 상부전극은 질소 원소를 함유하는 도전성 물질, 탄소 원소를 함유하는 도전성 물질, 티타늄, 텅스텐, 몰리브덴, 탄탈륨, 티타늄 실리사이드, 탄탈륨 실리사이드로 이루어진 그룹에서 선택된 어느 하나 또는 하나 이상의 조합인 것을 특징으로 하는 상변화 기억 소자.

【청구항 18】

제 17 항에 있어서,

상기 질소 원소를 함유하는 도전성 물질은 질화티탄(TiN), 질화탄탈륨(TaN), 질화몰리브덴(MoN), 질화니오븀(NbN), 질화실리콘티타늄(TiSiN), 질화알루미늄티탄(TiAlN), 질화보론티탄(TiBN), 질화실리콘지르코늄(ZrSiN), 질화실리콘텅스텐(WSiN), 질화보론텅스텐(WBN), 질화알루미늄지르코늄(ZrAlN), 질화실리콘몰리브덴(MoSiN), 질화알루미늄몰리브덴(MoAlN), 질화실리콘탄탈륨(TaSiN), 질화알루미늄탄탈륨(TaAlN), 질화산화티탄(TiON), 질화산화알루미늄티탄(TiAlON), 질화산화텅스텐(WON), 질화산화탄탈륨(TaON) 중 어느 하나인 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 19】

제 13 항에 있어서,

상기 상부절연막은 상기 상변화 물질막 패턴의 상부표면과 접촉하지 않는 상기 상부전극의 하부에 언더컷 공간부를 갖도록 상기 상부전극의 상부표면과 측면 및 상기 하부절연막 위를 덮는 것을 특징으로 하는 상변화 기억 소자.

【청구항 20】

제 19 항에 있어서,

상기 상부전극, 상기 상변화 물질막 패턴, 상기 하부전극 및 상기 하부절연막에 의해 정의되는 구조물 외곽을 따라 균일한 두께로 형성된 보호절연막을 더 구비하되, 이때, 상기 상부절연막은 상기 보호절연막 상에 위치하는 것을 특징으로 하는 상변화 기억 소자.

【청구항 21】

제 20 항에 있어서,

상기 보호절연막은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 하나 이상의 조합인 것을 특징으로 하는 상변화 기억 소자.

【청구항 22】

제 20 항에 있어서,

상기 상부절연막은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 하나 이상의 조합인 것을 특징으로 하는 상변화 기억 소자.

【청구항 23】

제 13 항에 있어서,

상기 상부전극, 상기 상변화 물질막 패턴, 상기 하부전극 및 상기 하부절연막에 의해 정의되는 구조물 외곽을 따라 균일한 두께로 형성된 보호절연막을 더 구비하되, 이때, 상기 상부절연막은 상기 보호절연막 상에 위치하는 것을 특징으로 하는 상변화 기억 소자.

【청구항 24】

하부절연막을 구비한 기판을 제공하는 단계;

상기 하부절연막을 관통하는 하부전극을 형성하는 단계;

상기 하부절연막 및 하부전극 상에 상변화 물질막 및 상부전극막을 차례로 형성하는 단계;



상기 상부전극막 및 상기 상변화 물질막을 차례로 패터닝하여 상기 하부전극보다 직경이 큰 상부전극 및 상기 상부전극보다 직경이 작으며 상기 하부전극에 접하는 상변화 물질막 패턴을 형성하는 단계;

상기 상부전극 및 상변화 물질막 패턴이 형성된 결과의 기판 전면에 상부절연막을 형성하는 단계를 포함하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 25】

제 24 항에 있어서,

상기 상부전극막 및 상기 상변화 물질막을 차례로 패터닝하여 상기 상부전극 및 상변화 물질막 패턴을 형성하는 단계는,

상기 상부전극막 상에 식각 마스크 패턴을 형성하는 단계;

상기 식각 마스크 패턴에 의해 노출된 상기 상부전극막을 제1식각하여 상기 상부전극을 형성하는 단계;

노출된 상변화 물질막을 제2식각하여 상기 상부전극보다 직경이 작은 상기 상변화 물질막 패턴을 형성하는 단계;

상기 식각 마스크 패턴을 제거하는 단계로 이루어지는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 26】

제 25 항에 있어서,

상기 상부전극막에 대한 제1식각은 CF_4 를 포함하는 식각 가스를 사용하고, 상기 상변화 물질막에 대한 제2식각은 상기 제1식각과 동일한 식각 가스를 사용하되 식각이 진행되면서 CF_4 가스의 유량이 점점 감소되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 27】

제 26 항에 있어서,

상기 제1식각 및 제2식각의 식각 가스는 Ar , Cl_2 를 포함하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 28】

제 25 항에 있어서,

상기 상부전극막에 대한 제1식각은 CF_4 , Ar , Cl_2 를 포함하는 식각 가스를 사용하고, 상기 상변화 물질막에 대한 제2식각은 Ar , Cl_2 를 포함하는 식각 가스를 사용하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 29】

제 24 항에 있어서,

하부절연막을 구비한 기판을 제공하는 단계는,

상기 기판 상에 소오스 영역, 드레인 영역 및 게이트 전극으로 구성된 트랜지스터를 형성하는 단계;

상기 트랜지스터를 덮도록 상기 기판 상에 제1층간절연막을 형성하는 단계;

상기 제1층간절연막 상에 상기 소오스 영역에 전기적으로 접속하는 콘택 패드 및 상기 드레인 영역에 전기적으로 접속하는 하부배선을 동시에 형성하는 단계;

상기 하부배선 및 콘택 패드를 덮도록 상기 제1층간절연막 상에 제2층간절연막을 형성하는 단계로 구성되며,

상기 하부절연막을 관통하는 하부전극을 형성하는 단계는,

상기 제2층간절연막을 관통하여 상기 콘택 패드를 노출시키는 하부콘택홀을 형성하는 단계;

상기 하부콘택홀에 하부전극용 도전물질을 채우는 단계로 구성되며,

상기 상부절연막을 형성한 후, 상기 상부전극에 전기적으로 접속하는 상부배선을 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 30】

제 24 항에 있어서,

상기 상부전극 및 상변화 물질막 패턴을 형성한 후 상기 상부절연막을 형성하기 전에 원자증착법 또는 열적 화학적 기상증착법을 사용하여 하부 구조를 따라 균일한 두께의 보호절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 31】

제 24 항에 있어서,

상기 상부절연막은 플라즈마 기상증착법 또는 플라즈마 강화 화학적 기상증착법을 사용하여 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 32】

제 24 항에 있어서,

상기 상부절연막은 상기 상변화 물질막 패턴의 상부표면과 접촉하지 않는 상기 상부전극의 하부에 언더컷 공간부를 갖도록 상기 상부전극의 상부표면과 측면 및 상기 하부절연막 상에 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 33】

제 30 항에 있어서,

상기 상부절연막은 상기 상변화 물질막 패턴의 상부표면과 접촉하지 않는 상기 상부전극의 하부에 언더컷 공간부를 갖도록 상기 상부전극의 상부표면과 측면 및 상기 하부절연막 상의 보호절연막 상에 형성되는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 34】

제 33 항에 있어서,

상기 보호절연막은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 하나 이상의 조합으로서 원자증착법 또는 열적 화학적 기상증착법에 의해 형성되는 것을 특징으로 하는 상변화 기억 소자.

【청구항 35】

제 34 항에 있어서,

상기 상부절연막은 절연막은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 하나 이상의 조합으로서 플라즈마 기상증착법 또는 플라즈마 강화 화학적 기상증착법에 의해 형성되는 것을 특징으로 하는 상변화 기억 소자.

【청구항 36】

제 32 항에 있어서,

상기 상부절연막은 절연막은 산화실리콘(SiO_2), 질화실리콘(SiN_x), 질화산화실리콘(SiON), 산화알루미늄(AlO_x), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 산화하프늄(HfO_2) 중 어느 하나 또는 하나 이상의 조합으로서 플라즈마기상증착법 또는 플라즈마강화화학적기상증착법에 의해 형성되는 것을 특징으로 하는 상변화 기억 소자.

【청구항 37】

하부전극을 구비한 기판 상에 상변화 물질막 및 상부전극막을 차례로 형성하는 단계;

CF_4 를 포함하는 식각 가스를 사용하여 상기 상부전극막을 식각하는 단계;

상기 식각 가스를 구성하는 CF_4 의 유량을 감소시키면서 상기 상변화 물질막을 식각하는 단계를 포함하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 38】

제 37 항에 있어서,

상기 식각 가스는 Ar , Cl_2 가스를 더 포함하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【청구항 39】

하부전극을 구비한 기판 상에 상변화 물질막 및 상부전극막을 차례로 형성하는 단계;

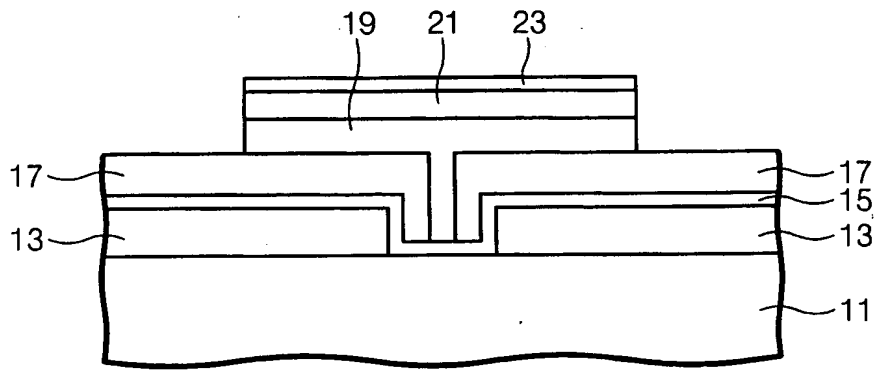
Ar , Cl_2 , CF_4 혼합 가스를 사용하여 상기 상부전극막을 식각하는 단계;

Ar , Cl_2 혼합 가스를 사용하여 상기 상변화 물질막을 식각하는 단계를 포함하는 것을 특징으로 하는 상변화 기억 소자 형성 방법.

【도면】

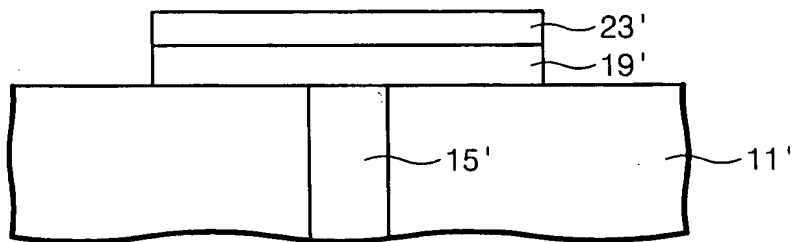
【도 1】

(종래 기술)

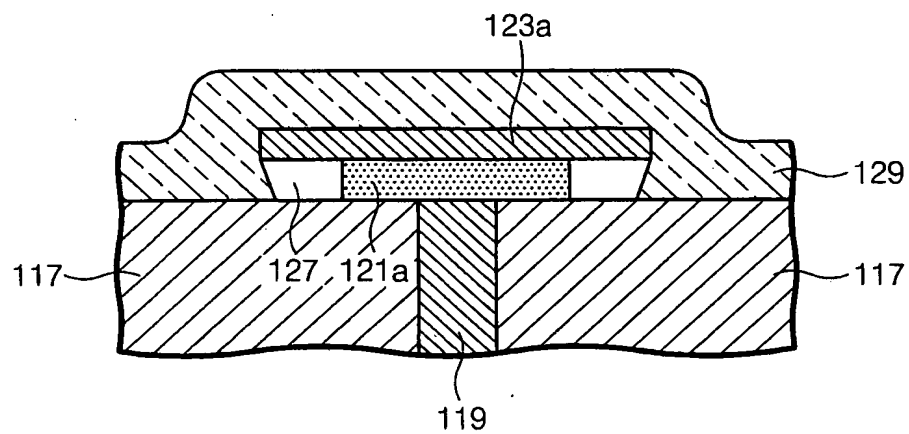


【도 2】

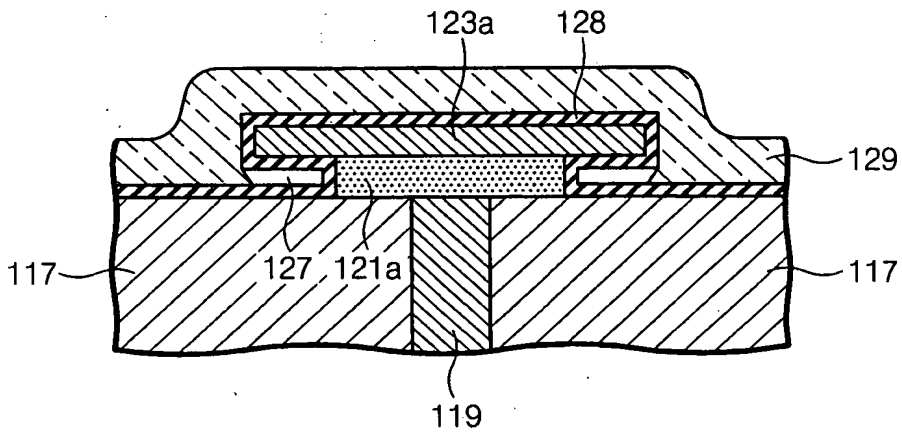
(종래 기술)



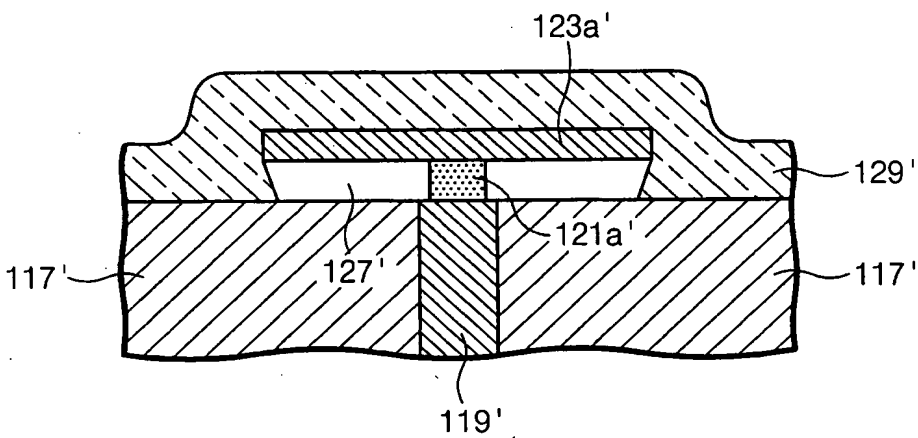
【도 3a】



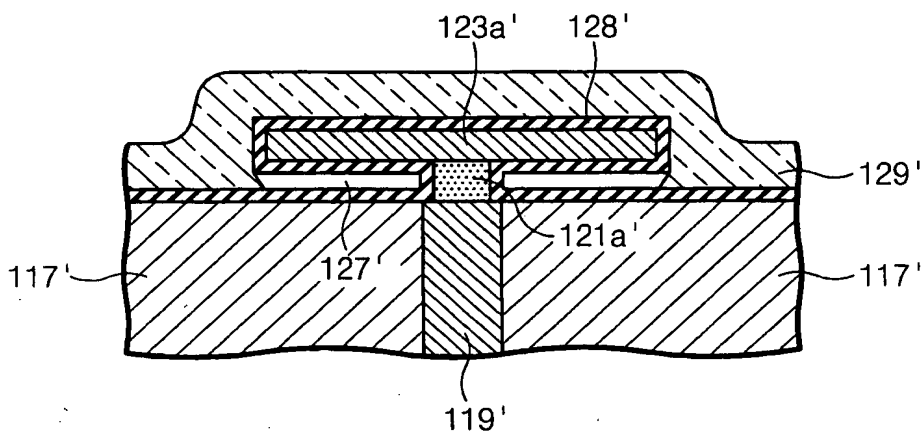
【도 3b】



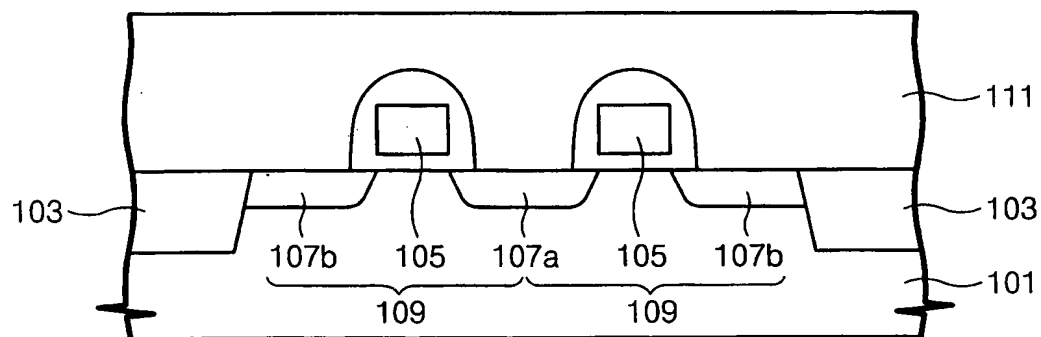
【도 4a】



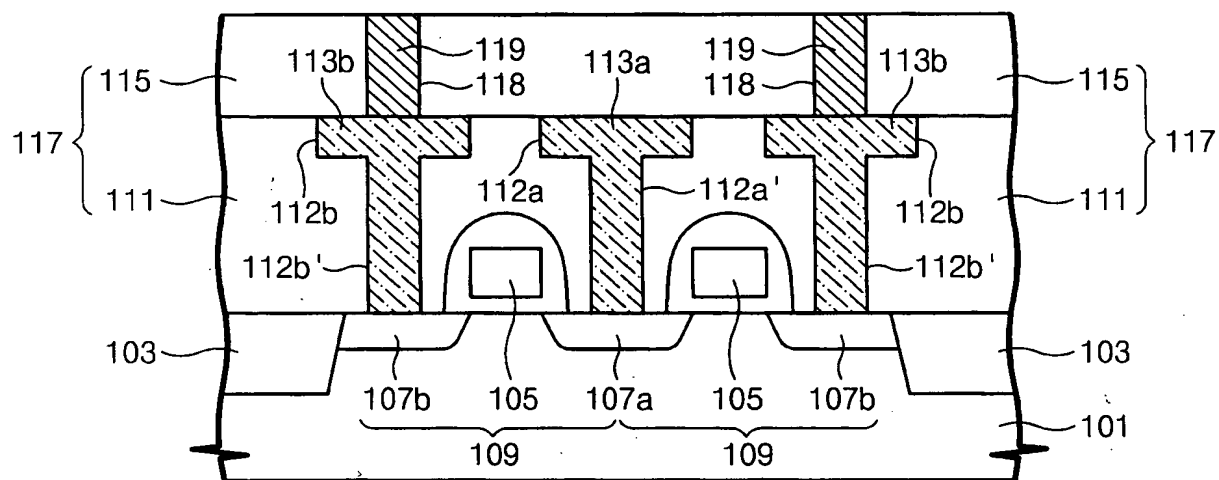
【도 4b】



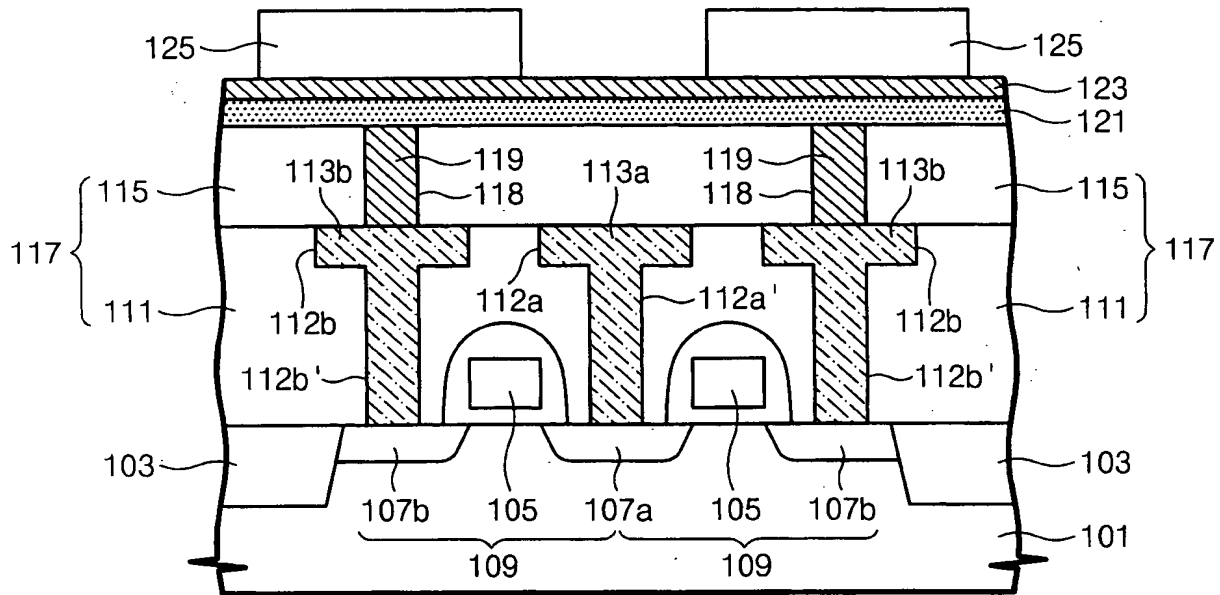
【도 5】



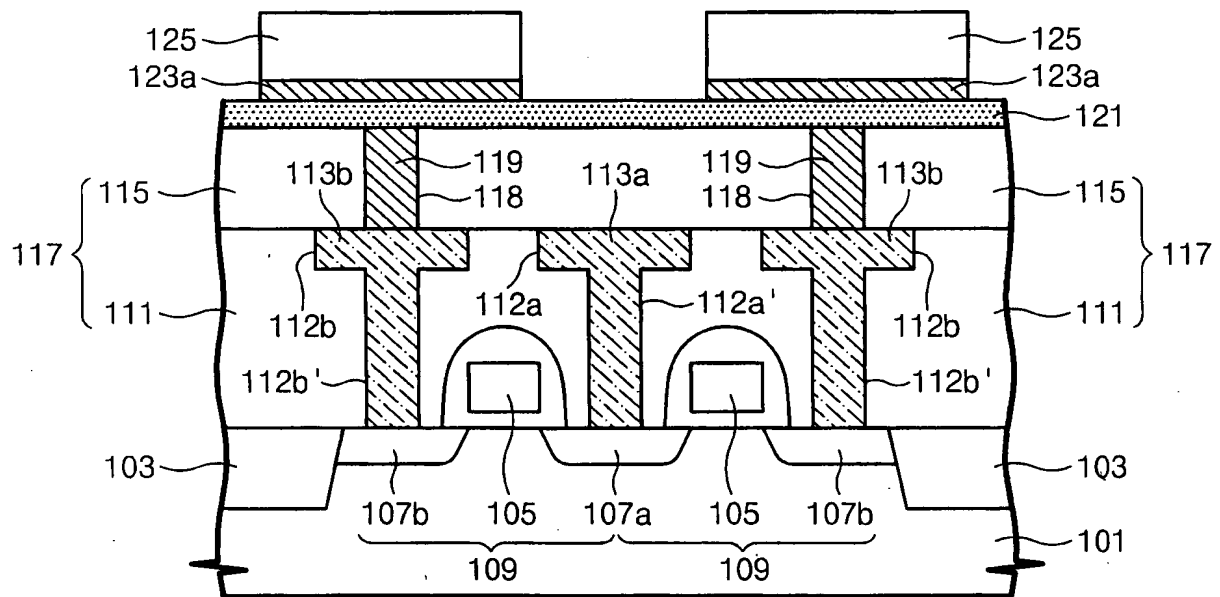
【도 6】



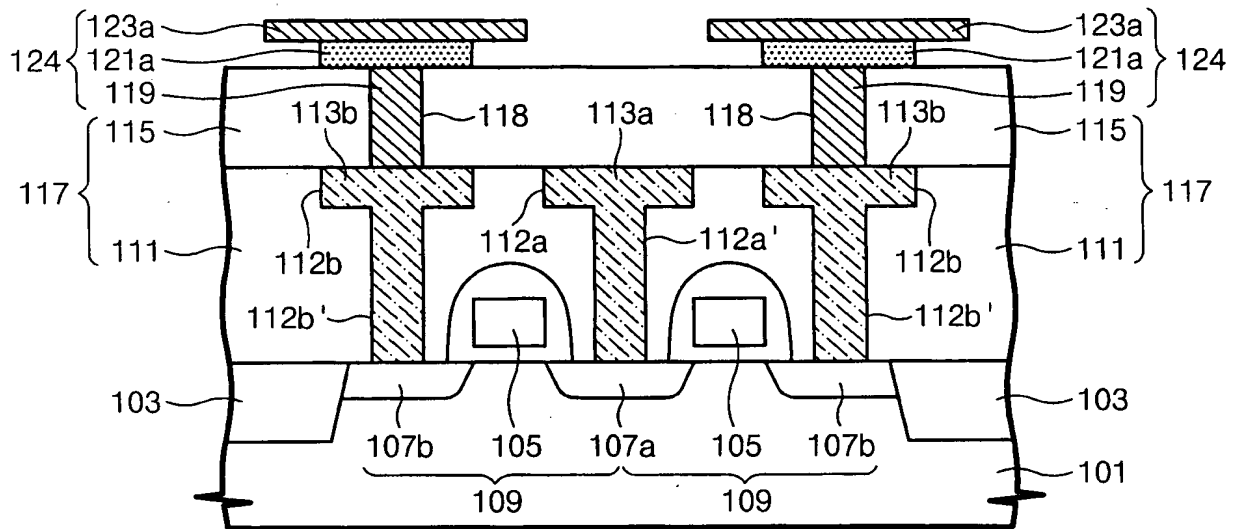
【도 7】



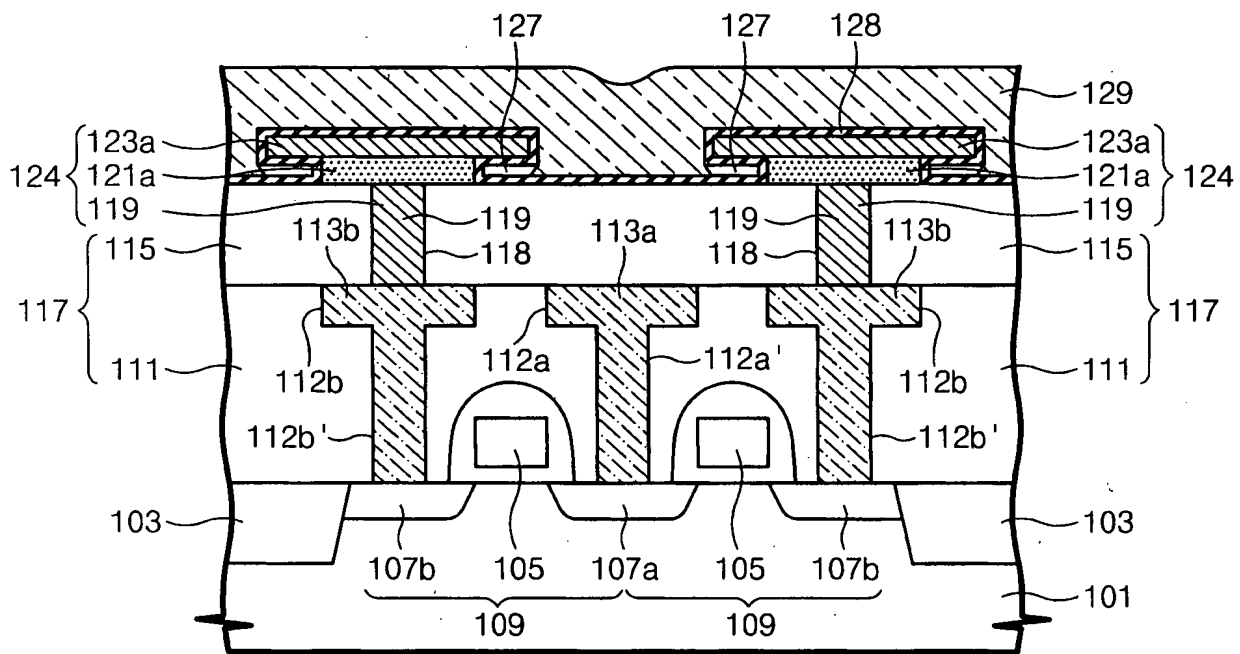
【도 8】



【도 9】



【도 10】



【도 11】

